

DERWENT-ACC-NO: 1994-306240

DERWENT-WEEK: 199438

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Multichip semiconductor device package - consists of
main and sub chip formed in same substrate and internal
leads arranged uniformly around substrate

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1993JP-0014382 (February 1, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 06232196 A 021/60	August 19, 1994	N/A	004	H01L

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 06232196A	N/A	1993JP-0014382	February 1, 1993

INT-CL (IPC): H01L021/60, H01L023/50 , H01L025/04 , H01L025/18

ABSTRACTED-PUB-NO: JP 06232196A

BASIC-ABSTRACT:

The semiconductor device has a main chip (1) and a sub chip (3) carried in the substrate (4). The internal electrode pad (2) of the main chip is connected with the relay pad (6) of the sub chip. The internal leads (5) are arranged uniformly surrounding the substrate. The internal leads are connected to the circuit function of the main chip through the bonding wire (8).

ADVANTAGE - Reduces cost.

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: SEMICONDUCTOR DEVICE PACKAGE CONSIST MAIN SUB CHIP
FORMING

SUBSTRATE INTERNAL LEAD ARRANGE INIFORM SUBSTRATE

DERWENT-CLASS: U11

EPI-CODES: U11-D01A6; U11-D03A2; U11-D03C1; U11-E01A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-240873

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-232196

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

H 0 1 L 21/60

23/50

25/04

25/18

識別記号

3 0 1 B 6918-4M

S 9272-4M

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/ 04

Z

審査請求 有 請求項の数 7 O L (全 4 頁)

(21)出願番号 特願平5-14382

(22)出願日 平成5年(1993)2月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 鈴木 理

東京都港区芝五丁目7番1号日本電気株式会社内

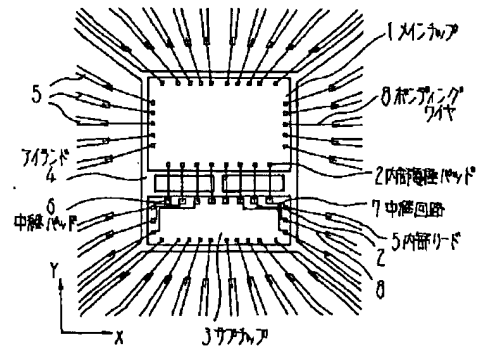
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

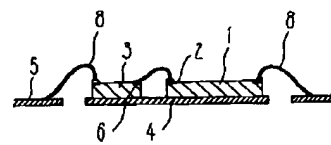
(57)【要約】

【目的】リードフレームに複数チップを搭載する半導体装置において、メインチップの回路機能の引き出しを容易にし、かつリードフレームの製作費の削減を図る。

【構成】それぞれ回路機能を有するメインチップ1とサブチップ3とを同一のアイランド4に搭載し、メインチップ1の内部電極パッド2とサブチップ3上に設けた中継パッド6とをワイヤボンディングすることにより、メインチップ1の回路機能の一部をサブチップ3側に橋渡しし、さらにサブチップ3に設けた中継回路7および内部電極パッド2を介して内部リード5へボンディングワイヤ8により引き出す。これにより、回路機能に差がある複数チップから構成される半導体装置において、回路機能の引き出しのための内部リード5をメインチップ1側に片寄せさせることなくアイランド4を囲む周辺に均一に配置させることができる。



(a)



(b)

【特許請求の範囲】

【請求項1】 それぞれ異なる回路機能を有する複数の半導体チップをリードフレームの同一のアイランドに搭載した半導体装置において、前記複数の半導体チップはメインチップとサブチップとから構成され、メインチップの回路機能の一部はサブチップ上に設けられた内部配線を介してアイランドの周囲に配置されたリードフレームの内部リードに接続されていることを特徴とする半導体装置。

【請求項2】 前記サブチップは、メインチップとを結ぶボンディングワイヤが接続される中継パッドと、リードフレームの内部リードとを結ぶボンディングワイヤが接続される内部電極パッドとを有する請求項1記載の半導体装置。

【請求項3】 前記サブチップ上に設けられた内部配線は前記中継パッドと内部電極パッドとを結ぶ中継回路である請求項1記載の半導体装置。

【請求項4】 前記サブチップに設けられた中継パッドはメインチップと対向するサブチップの辺に沿って設けられている請求項1記載の半導体装置。

【請求項5】 前記複数のチップを搭載したアイランドのまわりには内部リードがほぼ均等に分布し配置されている請求項1記載の半導体装置。

【請求項6】 前記アイランドに搭載された複数の半導体チップにはアイランド周辺に沿う各辺に内部電極パッドがほぼ均等に配置され、この内部電極パッドと内部リードとがボンディングワイヤで接続されている請求項1記載の半導体装置。

【請求項7】 前記中継パッドにはステッチボンディングでワイヤが接続されている請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に関し、特に1つのパッケージに複数の半導体チップを搭載した半導体装置に関する。

【0002】

【従来の技術】従来、1つのパッケージに複数の半導体チップを組み込むことに至った背景としては、1つの半導体チップ上に、例えばMOS系およびBIP系の機能を持たせようとした場合、製造工程が長くなることによるコストの増大やTAT (Turn Around Time) が大きくなる結果、MOS系とBIP系でチップを別々にする必要があったこと、その際、BIP系チップを固定しこれにMOS系チップを組み合わせることにより品種展開がしやすいことが挙げられる。

【0003】しかし、1パッケージ中の半導体チップをメインチップとサブチップとに複数化することによって、組立工程が複雑化したり、リードフレームの内部リード数が増加して極度に微細化しプレス加工の限度を超

えてしまったり、また組立コストや資材コストを増加させることは許されない。

【0004】そこで従来、半導体チップの内部電極パッドとリードフレームの内部リードとの接続をワイヤボンディングにより行う半導体装置では、図2の要部平面図に示すように、リードフレームのアイランド4に搭載固定されたメインチップ1の内部電極パッド2と、メインチップ1側に片寄って密集配置された内部リード5との間をボンディングワイヤ8で接続するとともに、サブチップ3側に配置された内部リード5とサブチップ3の内部電極パッド2との間をボンディングワイヤ8で接続している。この際、メインチップ1の回路機能はその殆どがメインチップ1から直接内部リード5に接続され、またサブチップ3の回路機能も同様に内部リード5に接続される。

【0005】さらに、従来の半導体装置として、図3(a)の要部平面図および同図(b)の断面図に示すように、アイランド4上に回路機能を有する半導体チップ10を搭載し、同じアイランド4上の端部に複数個の中継パッド6を有する中継チップ9を配置し、半導体チップ10の内部電極パッド2と内部リード5とを接続するボンディングワイヤ8を、中継チップ9に設けた中継パッド6を介して接続した構成(特開平2-216839号)も採用されている。

【0006】

【発明が解決しようとする課題】前述した従来の半導体装置のうち、前者の内部電極パッドと内部リードとをボンディングワイヤにより直接接続した構造では、1つのパッケージに対し複数チップを搭載した半導体装置の場合、どうしても回路機能はメインチップに片寄って設けられているため、その回路機能をボンディングワイヤの接続により引き出すことを目的とする内部リードはメインチップ近辺に片寄って集中せざるを得ない。よって通常、リードフレームの内部リードは金属板をプレス加工やエッチング加工により成形しているが、内部リードの集中化によりリードピッチおよびリード幅の狭小化が進むと加工費用の安いプレス加工は不可能となり、加工費がプレス加工の約3倍のエッチング加工でしか内部リードを形成できなくなるという問題がある。

【0007】また、従来の半導体装置のうち、後者の中継パッドを有する中継チップを配置した接続構造は、元来複数チップを搭載できるように1チップのみの時よりも大きめにアイランドを設定しているが、そこに更に中継チップをダイボンディングしなければならないためアイランドが大きくなり過ぎてしまい、最近のパッケージの薄型傾向につれて樹脂クラックの発生が懸念される。さらに、1パッケージ中のチップ数が増えることにより、チップコストおよびダイボンディング費用(1チップ当たり2〜3円)が増加するという問題がある。

【0008】本発明の目的は、従来の半導体装置の構造

および製造方法を維持しつつパッケージ中のチップ数およびチップサイズを小さく抑え、しかも内部リードの寸法を変えることなく回路機能の外部引き出しを図り、回路機能の引き出し口である半導体チップの内部電極パッドをアイランド周縁付近に沿って余裕ある間隔で均一に配置できる半導体装置を提供することにある。

【0009】

【課題を解決するための手段】本発明の半導体装置は、それぞれ異なる回路機能を有するメインチップとサブチップとを備え、サブチップには中継パッドおよび中継回路を設け、メインチップの回路機能の一部をサブチップの中継パッドおよび中継回路を介して内部リードにワイヤボンディング接続している。その結果、アイランド周辺の内部リードをサブチップ側にも分散して均等に配置できる。

【0010】

【実施例】次に本発明を図面を参照して説明する。図1は本発明の一実施例の要部を示す図で、同図(a)は平面図、同図(b)はその断面図である。

【0011】図において、メインチップ1は回路機能を有する半導体チップである。また、サブチップ3は回路機能の他に中継回路7により内部電極パッド2との間を接続する中継パッド6を有する半導体チップである。そして、リードフレームのアイランド4は、メインチップ1とサブチップ3を所定の距離(0.9~1.2mm)離して搭載可能な面積を有している。そのためには、アイランド4のX方向の寸法は、メインチップ1またはサブチップ3のX方向寸法の両側に0.4~1.4mm(チップ端からアイランド端までの余裕度)を加えた寸法で従来と同じであるが、Y方向の寸法は、メインチップ1のY方向寸法とサブチップ3のY方向寸法と前述の両端の余裕度(0.4~1.4mm)と、さらにチップ間の距離(0.9~1.2mm)を加えた寸法が必要になってくる。

【0012】一方、メインチップ1の回路機能を外部に引き出すために、内部電極パッド2と内部リード5とは従来と同様ボンディングワイヤ8で接続される。その際、メインチップ1の回路機能の一部は内部電極パッド2からボンディングワイヤ8によりサブチップ3側の中継パッド6に橋渡しされる。このボンディングの際、金ボールボンディングが行われるメインチップ1の内部電極パッド2の面積は通常サイズ(100μm角)で問題ないが、ステッチボンディングが行われるサブチップ3の中継パッド6はボンディングワイヤ8の垂れによるエッジタッチを防止するためにチップ端より50μm以上離し、200μm×300μm程度の大きさに形成する。

【0013】そして、サブチップ3の中継パッド6に橋渡しされたメインチップ1の回路機能の一部は、サブチ

ップ3上の中継回路7を介してもう一端の内部電極パッド2を経由し、さらに、この内部電極パッド2と内部リード5とをワイヤボンディングすることにより外部へ引き出される。これにより、メインチップ1の回路機能を内部リード5に引き出す上での窓口となる内部電極パッド2は、サブチップ3上に中継回路7および中継パッド6を設けたことによりアイランド4の周縁付近に均一に分布させることが可能となり、メインチップ1側付近に内部リード5が密集することはない。なお、本実施例は2個のチップを搭載した場合について説明してきたが、さらにチップ数が増えても、中継パッドおよび中継回路を有するチップを介在させることによって内部リードをアイランド周囲に均一に配置できることはもちろんである。

【0014】本実施例によればリードフレームの形成がエッチング加工によらずプレス加工のみで可能となり、加工費をプレス法とエッチング法で比較した場合、プレス法ではリードフレームの加工コストが9円/1枚(80ピンQFP)に対し、エッチング法では25円/1枚となり、16円/1枚のコスト差が生じる。

【0015】

【発明の効果】以上説明したように本発明は、メインチップの回路機能の一部を中継連絡するための中継パッドおよび中継回路を有するサブチップを設けることにより、メインチップとサブチップの回路機能に差がある場合でも、内部電極パッドをアイランド外周部に沿って均一に配置させることができ、ひいては内部リードの配置が内部電極パッドと同様、余裕ある間隔でのレイアウトが可能となる。つまり、リードフレーム設計工数の削減とプレス法によるより安価なリードフレーム加工が実現できる。

【図面の簡単な説明】

【図1】本発明の半導体装置を示す図で、同図(a)は要部平面図、同図(b)はその断面図である。

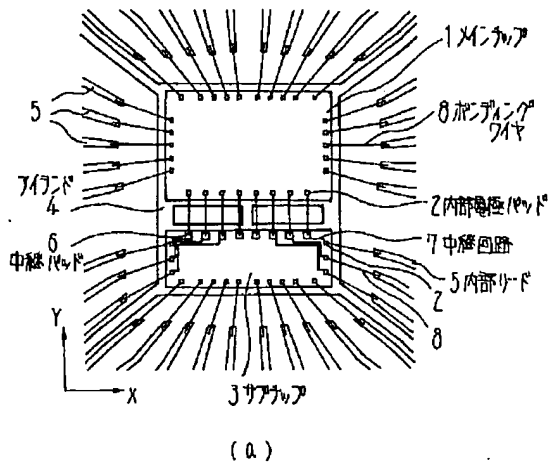
【図2】従来の半導体装置の要部平面図である。

【図3】従来の他の半導体装置を示す図で、同図(a)は要部平面図、同図(b)はその断面図である。

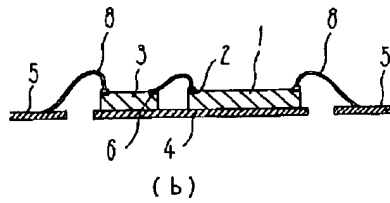
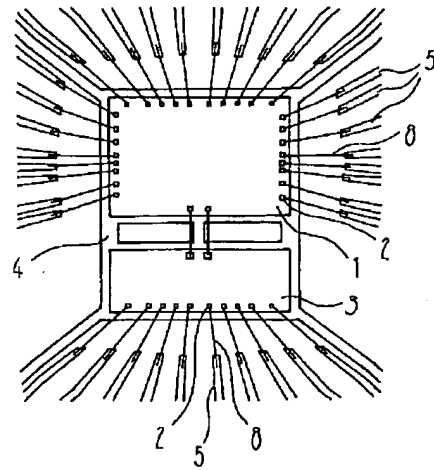
【符号の説明】

- 1 メインチップ
- 2 内部電極パッド
- 3 サブチップ
- 4 アイランド
- 5 内部リード
- 6 中継パッド
- 7 中継回路
- 8 ボンディングワイヤ
- 9 中継チップ
- 10 半導体チップ

【図1】



【図2】



【図3】

